

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094099

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 29/78
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 11-267534

(71)Applicant : DENSO CORP

(22)Date of filing : 21.09.1999

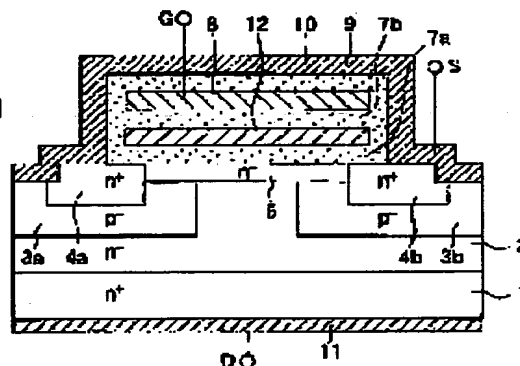
(72)Inventor : OYA NOBUYUKI
YAMAMOTO TAKESHI
KATAOKA MITSUHIRO
RAJESH KUMAR

(54) SILICON CARBIDE SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease ON resistance furthermore in a storage mode MOSFET.

SOLUTION: A mechanism for holding charges is provided between a gate electrode 8 and a surface channel layer 5. More specifically, a floating gate 12 is provided between the gate electrode 8 and the surface channel layer 5 to form a two layer gate structure. The floating gate 12 is injected with electrons in order to offset the relation between the gate potential and the field on the surface of a semiconductor. Since the charge holding mechanism can have a negative potential even if the gate potential is equal to or higher than zero, an MOSFET having ON resistance equivalent to that of a depletion type device can be obtained while keeping normally off characteristics.



- 1: 半導体基板
- 2: ドリフト領域
- 3: ベース領域
- 4: ソース領域
- 5: 表面チャネル層
- 7: 絶縁膜
- 8: ゲート電極
- 10: ソース電極
- 11: ドレイン電極
- 12: フローティングゲート

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3228 (4)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94099

(P2001-94099A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 29/78
21/8247
29/788
29/792

H 0 1 L 29/78

6 5 2 T 5 F 0 0 1
3 7 1 5 F 1 0 1
6 5 2 K

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平11-267534

(22) 出願日 平成11年9月21日 (1999.9.21)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 大矢 信之

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

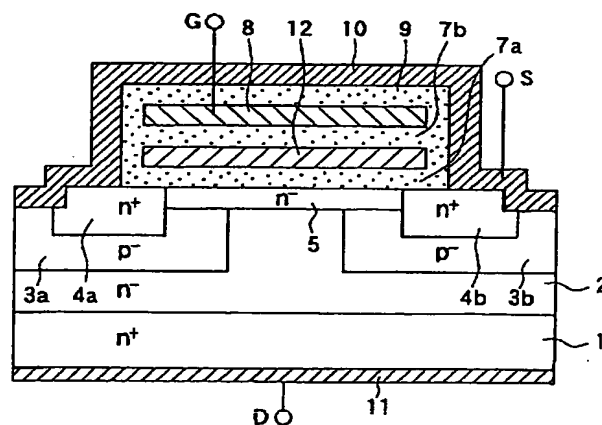
最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 蓄積モードのMOSFETにおいて、さらなるオン抵抗の低減を図る。

【解決手段】 ゲート電極8と表面チャネル層5との間に電荷が保持できる機構を備える。具体的には、ゲート電極8と表面チャネル層5との間にフローティングゲート12を設け、2層ゲート構造にすると共に、フローティングゲート12に電子を注入し、ゲート電位と半導体表面の電界の関係にオフセットをかける。このように、電荷保持機構を設けることにより、ゲート電位が零以上で使用しても電荷保持機構が負の電位となるようにできるため、ノーマリオフの特性としつつ、デプレッション型と同等のオン抵抗を有するMOSFETとすることができる。



- 1: 半導体基板
- 2: ドリフト領域
- 3: ベース領域
- 4: ソース領域
- 5: 表面チャネル層
- 7: 絶縁膜
- 8: ゲート電極
- 10: ソース電極
- 11: ドレイン電極
- 12: フローティングゲート

【特許請求の範囲】

【請求項 1】 主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる第 1 導電型の半導体基板 (1) と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) と、

前記半導体層の表層部の所定領域に形成され、所定深さを有する第 2 導電型のベース領域 (3 a、3 b) と、

前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) と、

前記ベース領域の表面部及び前記半導体層の表面部において、前記ソース領域と前記半導体層とを繋ぐように形成され、チャンネル領域を形成する炭化珪素よりなる第 1 導電型の表面チャンネル層 (5) と、

前記表面チャンネル層の表面に形成されたゲート絶縁膜 (7 a、7 b) と、

前記ゲート絶縁膜の上に形成されたゲート電極 (8) と、

前記ベース領域及び前記ソース領域に接触するように形成されたソース電極 (10) と、

前記半導体基板の裏面に形成されたドレイン電極 (11) とを備え、

前記ゲート電極と前記表面チャンネル層との間に電荷が保持できる機構を有することを特徴とする炭化珪素半導体装置。

【請求項 2】 主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる半導体基板 (51) と、

前記半導体基板の表層部の所定領域に形成され、所定深さを有する第 2 導電型のウェル領域 (53) と、

前記ウェル領域の表層部の所定領域に形成され、該ウェル領域の深さよりも浅い第 1 導電型のソース領域 (54 a) とドレイン領域 (54 b) と、

前記ウェル領域の表面部において、前記ソース領域 (54 a) と前記ドレイン領域 (54 b) とを繋ぐように形成された、チャンネル領域を形成する炭化珪素よりなる第 1 導電型の表面チャンネル層 (55) と、

前記表面チャンネル層の表面に形成されたゲート絶縁膜 (57 a、57 b) と、前記ゲート絶縁膜の上に形成されたゲート電極 (58) と、

前記ソース領域 (54 a) に形成されたソース電極と、

前記ドレイン領域に形成されたドレイン電極と、

前記ウェル領域に形成された基板電極とを備え、

前記ゲート電極と前記表面チャンネル層との間に電荷が保持できる機構を有することを特徴とする炭化珪素半導体装置。

【請求項 3】 前記電荷が保持できる機構には、電荷が注入されていることを特徴とする請求項 1 又は 2 に記載の炭化珪素半導体装置。

【請求項 4】 前記ゲート絶縁膜はシリコン酸化膜とシリコン窒化膜の複合膜で構成されており、該シリコン酸化膜とシリコン窒化膜の界面に前記電荷が保持できるようになっていること特徴とする前記請求項 1 乃至 3 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 5】 前記ゲート絶縁膜は、第 1 のゲート絶縁膜 (7 a、57 a) と第 2 のゲート絶縁膜 (7 b、57 b) とを有して構成されており、

該第 1、第 2 のゲート絶縁膜の間には導電性のフローティングゲート (12、60) が配置され、該フローティングゲートに前記電荷が保持できるようになっていることを特徴とする前記請求項 1 乃至 3 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 6】 前記半導体基板は、前記チャンネル領域を形成して MOS 動作を行う MOS 動作領域と、該 MOS 動作領域とは異なる位置に設けられた書き込み領域とを有しており、

前記フローティングゲートは、前記 MOS 動作領域から前記書き込み領域まで延設され、該書き込み領域において、前記電荷が注入されるようになっていることを特徴とする請求項 5 に記載の炭化珪素半導体装置。

【請求項 7】 前記書き込み領域には、前記 MOS 動作領域から書き込み領域まで延設された前記ゲート電極と、

前記半導体基板の表面部に形成され、該書き込み領域における前記ゲート電極及び前記フローティングゲートの両側に配置された書き込み用ソース及び書き込み用ドレインと、

前記書き込み用ソースと前記書き込み用ドレインのそれぞれに接続された書き込み用端子と、が備えられていることを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項 8】 前記書き込み領域には、前記フローティングゲート上に形成され、前記 MOS 動作領域における前記ゲート電極とは電気的に接続されていない、書き込み用ゲートと、

前記書き込み用ゲートに接続された書き込み用端子と、が備えられていることを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項 9】 前記書き込み用ソースは、前記ソース領域と兼用されていることを特徴とする請求項 7 に記載の炭化珪素半導体装置。

【請求項 10】 前記書き込み領域には、前記 MOS 動作領域から書き込み領域まで延設された前記ゲート電極と、前記フローティングゲートの下側に配置された前記ベース領域若しくは前記ウェル領域と電気的に接続されていない第 2 導電型の書き込み用ドレインと、前記書き込み用ドレインに接続された書き込み用端子と、が備えられていることを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項11】 前記書き込み領域において、前記第1のゲート絶縁膜もしくは前記第2のゲート絶縁膜が部分的に薄膜化されていることを特徴とする請求項6乃至10のいずれか1つに記載の炭化珪素半導体装置。

【請求項12】 前記表面チャネル層は、前記電荷が保持できる機構に電荷が保持されていない状態においては、前記ゲート電極に電圧が印加されない条件においても前記ソース電極と前記ドレイン電極の間の電気的導通が可能となっていることを特徴とする前記請求項1乃至11のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用のパワーMOSFETに関するものである。

【0002】

【従来の技術】従来、蓄積モードで動作するプレーナ型のMOSFETとして、特開平11-308510号公報に示されるものが知られている。

【0003】このプレーナ型MOSFETの断面図を図16に示す。この図に基づいてプレーナ型MOSFETの構造について説明する。

【0004】 n^+ 型炭化珪素半導体基板（以下、 n^+ 型基板という）1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型半導体基板1の主表面上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層（以下、 n^- 型エピ層という）2が積層されている。

【0005】 n^- 型エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3b（以下、 p^- 型ベース領域3a、3bという）が離間して形成されている。また、 p^- 型ベース領域3aの表層部における所定領域には、 p^- 型ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型ベース領域3bの表層部における所定領域には、 p^- 型ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0006】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、 n^- 型SiC層5を表

面チャネル層という。

【0007】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型エピ層2及び p^- 型ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0008】また、 p^- 型ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成されている。

10 【0009】表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート絶縁膜（シリコン酸化膜）7が形成されている。さらに、ゲート絶縁膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO（Low Temperature Oxide）膜が用いられている。その上にはソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型ベース領域3a、3bと接している。また、 n^+ 型基板1の裏面には、ドレイン電極層11が形成されてい

20

【0010】

【発明が解決しようとする課題】上記従来のMOSFETでは、蓄積モードで動作させることにより、オン抵抗の低減が図られている。しかしながら、さらなるオン抵抗の低減が望まれている。

【0011】本発明は上記点に鑑みて成され、蓄積モードのMOSFETにおいて、さらなるオン抵抗の低減を図ることを目的とする。

【0012】

30 【課題を解決するための手段】本発明者らは、上記目的を果たすべく、蓄積モードのMOSFETについて検討を行ったところ、表面チャネル層を高濃度にしてしきい値電圧を下げるほど、オン電流が大きくなること、すなわちオン抵抗を低減することができることを見出した。図17に、表面チャネル層の濃度とオン電流との関係を示す。

【0013】この図に示されるように、しきい値電圧が低くなればなるほど、オン電流が大きくなっており、特に負のデプレッション型のMOSにすることにより、顕著にオン電流が大きくなるということが判った。

40

【0014】しかしながら、デプレッション型のMOSFETは、ノーマリオン特性であるため、フェイルセーフの観点から好ましくない。そこで、本発明者らは、デプレッション型のMOSFETと同等のオン電流が得られ、かつノーマリオン特性を有するMOSFETとすることについてさらに検討を行った。

50 【0015】デプレッション型のMOSFETはノーマリオン特性であるため、表面チャネル層上に負電圧を印加することによってスイッチングを行うことができ

【0016】つまり、ゲート電極に電圧を印加していない状態（ゲート電圧零）の時に、表面チャネル層上に負電圧が印加されるようにすれば、しきい値が正の（ノーマリオフの特性の）エンハンスメント型のMOSFETとすることができる。

【0017】そこで、上記目的を達成するため、請求項1又は2に記載の発明においては、ゲート電極（8）と表面チャネル層（5）との間に電荷が保持できる機構を有していること特徴としている。具体的には、請求項3に示すように、電荷が保持できる機構に電荷が注入されるようにし、ゲート電位と半導体表面の電界の係にオフセットをかける。

【0018】このように、電荷保持機構を設けることにより、ゲート電位が零以上で使用しても電荷保持機構が負の電位となるようにできるため、ノーマリオフの特性としつつ、デプレッション型と同等のオン抵抗を有する炭化珪素半導体装置とすることができる。

【0019】例えば、請求項4に示すように、ゲート絶縁膜をシリコン酸化膜とシリコン窒化膜の複合膜で構成し、該シリコン酸化膜とシリコン窒化膜の界面に電荷を保持することができる。この場合、従来の製造工程に対して、ゲート絶縁膜をシリコン酸化膜とシリコン窒化膜の複合膜で形成する変更のみで対応できるため、わずかな工程上の負荷で電荷保持機構を実現可能である。

【0020】また、請求項5に示すように、ゲート絶縁膜を第1のゲート絶縁膜（7a、57a）と第2のゲート絶縁膜（7b、57b）とを有して構成し、該第1、第2のゲート絶縁膜の間に導電性のフローティングゲート（12、60）を配置し、該フローティングゲートに電荷を保持することができる。このようなフローティ

ングゲートによる電荷保持機構は、高い信頼性で電荷を保持することができる。

【0021】請求項6に記載の発明においては、半導体基板は、チャネル領域を形成してMOS動作を行うMOS動作領域と、該MOS動作領域とは異なる位置に設けられた書き込み領域とを有しており、フローティングゲートは、MOS動作領域から書き込み領域まで延設され、該書き込み領域において、電荷が注入されるようになっていることを特徴としている。

【0022】このように、MOSFET全体を使って書き込みを行なうのではなくて領域を限定することで、書き込み量の制御が容易となりまた大きな書き込み量を得ることができる。また書き込み端子を設けることで、もし書き込み時に電荷注入部においてゲート絶縁膜がダメージを受けても、そのダメージ領域がMOS動作領域とは異なる位置となるため、ダメージ領域の影響を受けず通常のMOS動作が可能となる。

【0023】例えば、請求項7に示すように、書き込み領域には、MOS動作領域から書き込み領域までゲート電極を延設し、半導体基板の表面部において、該書き込

み領域におけるゲート電極及びフローティングゲートの両側に書き込み用ソース及び書き込み用ドレインを形成し、書き込み用ソースと書き込み用ドレインのそれぞれに書き込み用端子を接続した構成とすれば良い。

【0024】このような構成においては、ホットキャリアを用いて電荷注入を行なうことができる。このように、ホットキャリア注入を用いることで、書き込みを高速で行なうことができる。

【0025】また、請求項8に示すように、書き込み領域には、フローティングゲート上に、MOS動作領域におけるゲート電極とは電氣的に接続されていない書き込み用ゲートを形成し、ゲートに書き込み用端子を接続した構成としても良い。

【0026】また、請求項10に示すように、書き込み領域には、MOS動作領域から書き込み領域まで延設されたゲート電極を設け、前記フローティングゲートの下側に配置されたベース領域若しくはウェル領域と電氣的に接続されていない第2導電型の書き込み用ドレインを備えると共に、書き込み用ドレインに接続された書き込み用端子を備える構成としてもよい。

【0027】これらのような構成においては、FN電流を用いて電荷注入を行なうことができる。このように、FN電流を用いることで、書き込み領域や書き込み端子を簡略化し、小型化をはかることができる。

【0028】請求項9に記載の発明においては、書き込み用ソースは、ソース領域と兼用されていることを特徴としている。

【0029】このように、書き込み領域の一部を他の領域と共通化することにより、装置の小型化を図ることができる。

【0030】請求項11に記載の発明においては、書き込み領域において、第1のゲート絶縁膜もしくは第2のゲート絶縁膜が部分的に薄膜化されていることを特徴としている。

【0031】このように、第1、第2の絶縁膜を部分的に薄膜化することで、書き込み端子を設けることなく書き込み領域を設定することができる。そして、MOSFET全体を使って書き込みを行なうのではなくて領域を限定することで、書き込み量の制御が容易となりまた大きな書き込み量を得ることができる。また書き込み端子がないことより小型化を図ることができる。

【0032】請求項12に記載の発明においては、表面チャネル層は、電荷が保持できる機構に電荷が保持されていない状態においては、ゲート電極に電圧が印加されない条件においてもソース電極とドレイン電極の間の電氣的導通が可能となっていることを特徴としている。

【0033】このように、電荷保持機構によるゲート電圧のオフセットがなければデプレッション型のMOSFETとなる場合において、特に高い電流能力を得ることができ、好適である。

【0034】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0035】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

【0036】図1に本実施形態におけるMOSFETの断面構成を示す。以下、図1に基づいて本実施形態のMOSFETの構成について説明する。但し、本実施形態のMOSFETのうち、図16に示す従来のMOSFETと同様若しくは均等の構成については、図16と同じ符号を付し、異なる部分についてのみ説明を行う。

【0037】図1に示すように、本実施形態におけるMOSFETにおいては、表面チャネル層5の上に第1の絶縁膜としてのシリコン酸化膜7aを介してフローティングゲート12が形成され、このフローティングゲート12の上に第2の絶縁膜としてのシリコン酸化膜7bを介してゲート電極8が形成された構成となっている。つまり、本MOSFETでは、2層ゲート構造を採用している。このフローティングゲート12には、負電荷を有する電子が注入されている。また、表面チャネル層5は、従来よりも高濃度とされており、例えば、ドーパント濃度が、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度となっている。なお、好適なドーパント濃度は表面チャネル層5の厚さに依存し、表面チャネル層5が薄い場合においては厚い場合と比べてより高いドーパント濃度とすることが好適となる。

【0038】このように構成されたMOSFETにおいては、ゲート電極8と表面チャネル層5との間に電荷保持機構としてのフローティングゲート12を備えることにより、フローティングゲート12を介して表面チャネル層5の表面の電界を変化させるようになっている。

【0039】つまり、表面チャネル層5の上にフローティングゲート12が備えられているため、ソース、ドレイン間のチャネルがフローティングゲート電位で形成されるようになっている。従って、この点においてゲート電位でチャネルが形成される図16に示す従来のものとは異なる。

【0040】なお、シリコン酸化膜7a及びシリコン酸化膜7bの膜厚の合計は、図16に示す従来のMOSFETの酸化膜7の膜厚に相応したものとなっており、本実施形態のMOSと従来のMOSFETのゲート電位が同じ時において、従来のMOSFETと同様の動作状態になる程度、つまり同等の電界がかかる程度にされている。

【0041】そして、フローティングゲート12に電子を注入している。これにより、フローティングゲート電位が所望の値に設定されており、ゲート電圧と半導体表面の電界の関係にオフセットがかけられている。

【0042】この電界のオフセットは、以下のように設

定されている。

【0043】フローティングゲート電位は、表面チャネル層5側の電位が零であるとする、以下の式で表わされる。

【0044】

$$\text{【数1】 } V_{fg} = (C_2 \cdot V_g + Q) / (C_1 + C_2)$$

ただし、 V_{fg} はフローティングゲート電位、 V_g はゲート電位、 C_1 はフローティングゲート12と半導体間の容量、 C_2 はフローティングゲート12とゲート電極8の間の容量、 Q はフローティングゲート12内の電荷である。

【0045】従って、フローティングゲート12内の電荷 Q を任意に設定することで、フローティングゲート電位 V_{fg} とゲート電位 V_g の関係にオフセットをつけることが可能となる。

【0046】このため、上述したように、フローティングゲート12に負電荷としての電子を注入することにより、ゲート電位が零以上で使用される場合に、フローティングゲート12が負の電位も取れるようにできる。

【0047】図2に、フローティングゲート12に電子が注入される前後におけるゲート電極8の電位（以下、単にゲート電位という）とフローティングゲート電位との関係を示し、ゲート電位と表面チャネル層5に印加される電位（つまりフローティングゲート電位）との関係について説明する。

【0048】この図は、電荷注入前において、ゲート電位に対してフローティングゲート電位が2/3となるように、シリコン酸化膜7a、7bの膜厚等を設定した場合を示している。

【0049】この図に示すように、フローティングゲート12に電子を注入すると、フローティングゲート電位とゲート電位との関係がシフトされる。このため、ゲート電位を正としてのみ使用する場合においても、フローティングゲート12が負の電位にもなるようにできる。このように、ゲート電位が正の電位であっても、フローティングゲート電位を負の電位とすることができ、表面チャネル層5に負電圧が印加されるようにできる。

【0050】このようにフローティングゲート12を備えた場合におけるゲート電位、フローティングゲート電位、及びドレイン電流の関係を図3に示す。

【0051】この図に示すように、チャネルをオフするのに負の電圧が必要なほど表面チャネル層5を高濃度化しており、フローティングゲート電位が負の電位とならなければドレイン電流が零、つまりチャネルがオフしないようになっている。しかしながら、 $Q < 0$ の電荷をフローティングゲート12内に存在させているため、ゲート電位が零以上であっても、フローティングゲート電位を負の電位にでき、ゲート電位 $V_g = 0 \text{ V}$ においてチャネルをオフすることができる。

【0052】次に、本実施形態におけるMOSFETの

作用（動作）説明を行う。

【0053】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極8に電圧を印加しない場合、フローティングゲート12により負の電位が表面チャネル層5に印加される。このため、表面チャネル層5においてキャリアは、p-型ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差によって形成される空乏層と、フローティングゲート12の負の電位によって表面チャネル層5表面に形成される空乏層とによってチャネルがオフされる。

【0054】続いて、ゲート電極8に電圧を印加することにより、フローティングゲート12の電位を上昇させる。これにより、表面チャネル層5表面の空乏層が減少し、シリコン酸化膜7aと表面チャネル層5との間の界面においてn+型ソース領域4a、4bからn-型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。

【0055】このとき、電子は、n+型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からn-型エピ層2に流れる。そして、n-型エピ層2（ドリフト領域）に達すると、電子は、n+型基板1（n+ドレイン）へ垂直に流れる。

【0056】このように、電子が注入されたフローティングゲート12が無ければデプレッション型として動作するMOSFETが、フローティングゲート12の負の電位によって、実質上、ゲート電位が零である場合にチャネルがオフできるノーマリオフ特性のエンハンスメント型のMOSFETとして動作する。

【0057】これにより、図17で示したように、フローティングゲート12が無い場合にデプレッション型となるMOSFETと同等のオン抵抗となり、オン抵抗のさらなる低減を図ることができる。また、これにより装置の大電力化やチップの小型化を図ることもできる。なお、このようにフローティングゲート12に電荷を保持することにより、高い信頼性で電荷保持を可能にすることができる。

【0058】次に、本実施形態におけるMOSFETの製造工程を、図4～図6を用いて説明する。なお、半導体領域については、従来公報（特開平11-308510号公報）と同様であるため、異なる部分についてのみ

説明する。

【0059】〔図4（a）に示す工程〕まず、4H、もしくは6HのSiC基板、すなわちn+型基板1を用意する。ここで、n+型基板1はその厚さが400μmであり、主表面1aが（0001）Si面、又は、（112-0）a面である。この基板1の主表面1aに厚さ5μmのn-型エピ層2をエピタキシャル成長する。本例では、n-型エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0060】〔図4（b）に示す工程〕n-型エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてB+（若しくはアルミニウム）をイオン注入して、p-型ベース領域3a、3bを形成する。このときのイオン注入条件は、温度が700℃で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

【0061】〔図4（c）に示す工程〕LTO膜20を除去した後、p-型ベース領域3a、3bを含むn-型エピ層2上に表面チャネル層5を化学気相成長法（CVD法）によりエピタキシャル成長させる。このときのソースガスとしてはSiH₄、C₃H₈、H₂、N₂を用いる。ここで、N₂は表面チャネル層5をn型化するために用いる。

【0062】〔図5（a）に示す工程〕表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN+をイオン注入し、n+型ソース領域4a、4bを形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0063】〔図5（b）に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp-型ベース領域3a、3b上の表面チャネル層5を部分的にエッチング除去する。

【0064】〔図5（c）に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化によりゲート酸化膜7aを形成する。このとき、雰囲気温度は1080℃とする。

【0065】次に、ゲート酸化膜7aの上にフローティングゲート12を形成するために、1st-polysilicon（1st-polysilicon）をLPCVDにより堆積する。

【0066】続いて、1st-polysilicon（1st-polysilicon）を酸化してゲート酸化膜7bを形成したのち、このゲート酸化膜7bの上にゲート電極8を形成するために、2nd-polysilicon（2nd-polysilicon）をLPCVDにより堆積する。

【0067】〔図6（a）に示す工程〕そして、フトリソグラフィ工程を経て、2nd-polysilicon（2nd-polysilicon）、シリコン酸化膜7b、1st-polysilicon（1st-polysilicon）をパターニングする。これにより、ゲート電極8、フローティングゲート12が形成される。

【0068】続いて、熱酸化により、ゲート電極8、フローティングゲート12の表面を酸化膜で覆う。その後、LTOよりなる層間絶縁膜9を形成しゲート絶縁膜7を覆う。

【0069】〔図6（c）に示す工程〕そして、層間絶縁膜9及び酸化膜にコンタクトホールを形成したのち、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。

【0070】この後、フローティングゲート12への電

荷注入を行う。この電荷注入の該略図を図 7 に示し、この図に基づいて電荷注入について説明する。

【0071】電荷の注入は、フローティングゲート 12 と半導体（表面チャネル層 5 やソース領域 4 a、4 b）間もしくはフローティングゲート 12 とゲート電極 8 の間に電荷の移動が発生するだけの電位をゲート電極 8 に印加することによって行う。これは、フローティングゲート 12 と半導体との間と、フローティングゲート 12 とゲート電極 8 との間のいずれが電流を流し易いかによって選択している。つまり、シリコン酸化膜 7 a、7 b の膜質（膜厚分布や欠陥等）によって電流の流れ易さが決定されるため、電荷注入を行い易いようにシリコン酸化膜 7 a、7 b の膜質を予め設定することも可能である。

【0072】そして、フローティングゲート 12 と半導体との間の方が、フローティングゲート 12 とゲート電極 8 との間と比べて電流が流れやすい場合、図 7 (a) に示すように、ソース電極 10、ドレイン電極 11 をアース状態としてゲート電極 8 に正の電圧を印加する。これにより、フローティングゲート 12 に負電荷として電子が注入される。また、フローティングゲート 12 とゲート電極 8 との間の方が、フローティングゲート 12 と半導体との間と比べて電流が流れやすい場合、図 7

(b) に示すように、ソース電極 10、ドレイン電極 11 をアース状態としてゲート電極 12 に負の電圧を印加する。これにより、フローティングゲート 12 に負電荷として電子が注入される。

【0073】このようにして、図 1 に示す MOSFET が完成する。

【0074】（第 2 実施形態）図 8 に、本実施形態における MOSFET の断面構成を示す。なお、本実施形態では、第 1 実施形態の MOSFET のゲート構造を変更したものであるため、その変更部分についてのみ説明する。

【0075】図 8 に示すように、本実施形態の MOSFET は、表面チャネル層 5 の上に、第 1 の絶縁膜としてのシリコン酸化膜 7 a を介して、シリコン窒化膜 13 が形成されている。そして、このシリコン窒化膜 13 の上にゲート電極 8 が形成されている。このように、ゲート電極 8 と表面チャネル層 5 との間に、シリコン酸化膜 7 a とシリコン窒化膜 13 からなる複合膜が配置されるようにしている。

【0076】このような構成においては、シリコン窒化膜 13 とシリコン酸化膜 7 a との界面において電荷をトラップすることができる。このため、この界面にトラップされた電荷が、第 1 実施形態のフローティングゲート 12 と同様の役割を果たし、ゲート電極 8 の電圧をオフセットすることができる。これにより、第 1 実施形態と同様の効果が得られる。

【0077】なお、本実施形態における MOSFET

は、図 16 に示す従来の MOSFET に対して、シリコン窒化膜 13 を形成する工程を増加させるのみであるため、わずかな工程上の負荷で電荷保持機構を実現することができる。

【0078】（第 3 実施形態）図 9 に、本実施形態における MOSFET の断面構成を示す。本実施形態は、第 1 実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0079】図 9 に示すように、本実施形態の MOSFET は、MOS 作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS 作動領域とは他断面に設けられており、例えば、複数の MOSFET を敷き詰めて MOS 作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

【0080】書き込み領域は、いわゆる EPROM と同じ構造となっており、フローティングゲート 12 a 及びゲート電極（コントロールゲート）8 a の 2 層構造の両側に、ソース領域 4 c 及びドレイン領域 14 が備えられ、このソース領域 4 c とドレイン領域 14 との間にチャネル領域となる表面チャネル層 5 c が備えられた構成となっている。なお、ソース領域 4 c はソース領域 4 b が延設されたものであり、ソース電極 10 に接続されている。このように、ソース領域 4 c とソース領域 4 b を兼用化することにより、装置の小型化を図っている。また、ドレイン領域 14 は、ドレイン電極 15 が接続されている。

【0081】そして、MOS 作動領域と書き込み領域におけるゲート電極 8、8 a がつながった構成となっておりと共に、MOS 作動領域と書き込み領域におけるフローティングゲート 12、12 a がつながった構成となっている（図中の点線部参照）。

【0082】このような構成においては、図 10 に示すように書き込み領域にて電荷注入を行う。すなわち、ソース電極 10 及びドレイン電極 11 をアース状態にすると共に、ゲート電極 8 a に正電位 V1、ドレイン電極に正電位 V2 をそれぞれ印加する。これにより、ホットキャリアを発生させ、フローティングゲート 12 a にホットエレクトロンを注入することができる。

【0083】これにより、フローティングゲート 12 a に負電荷が注入されると、フローティングゲート 12 がフローティングゲート 12 a と接続されているため、フローティングゲート 12 の電位はゲート電極 8 の電位が零であっても負となる。これにより、MOS 動作領域を第 1 実施形態と同様に動作させることができ、第 1 実施形態と同様の効果を得ることができる。

【0084】そして、ホットキャリアを用いることで、書き込みを高速で行うことができる。また、MOS 動作領域以外の領域で書き込みが行われるため、書き込み時

にフローティングゲート 12 a の下のシリコン酸化膜 7 a がダメージを受けたとしても、MOS 動作領域とは関係ない部分であるため、MOS 動作に影響を与えることはない。なお、MOS 動作時には、ドレイン電極 15 はオープン状態とするため、ドレイン領域 14 の電界による影響は無視して良い。

【0085】なお、本実施形態における MOSFET の製造は、第 1 実施形態における図 6 (a) の工程のフォトリソグラフィ工程のマスクを変更すればよいだけであるため、説明を省略する。

【0086】(第 4 実施形態) 図 11 に、本実施形態における MOSFET の断面構成を示す。本実施形態は、第 1 実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0087】図 11 に示すように、本実施形態の MOSFET は、MOS 作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS 作動領域とは他断面に設けられており、例えば、複数の MOSFET を敷き詰めて MOS 作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

【0088】書き込み領域は、フローティングゲート 12 a 及びゲート電極 (コントロールゲート) 8 a の 2 層構造で構成されており、ソース領域 4 b から延設されたソース領域 4 c の上に 2 層構造が形成された構成となっている。

【0089】また、MOS 作動領域と書き込み領域におけるフローティングゲート 12、12 a がつながった構成となっている (図中の点線部参照)。ただし、MOS 作動領域と書き込み領域におけるゲート電極 8、8 a はつながった構成とされていない。

【0090】このような構成においては、図 12 に示すように書き込み領域にて電荷注入を行う。すなわち、ゲート電極 8 とソース電極 10 及びドレイン電極 11 をアース状態にするとともに、ゲート電極 8 a に負電位 $-V$ を印加する。

【0091】通常、書き込み領域のゲート電極 8 a とフローティングゲート 12 a との間の容量は、MOS 動作領域のゲート電極 8 とフローティングゲート 12 との間の容量や、フローティングゲート 12 と半導体 (本実施形態では表面チャネル層 5 やソース領域 4 a、4 b) との間の容量と比べて非常に小さいため、フローティングゲート 12 の電位は書き込み領域のゲート電極 8 a の電位にはほとんど影響されず、ゲート電極 8 と半導体の電位、つまりアース状態となる (ただし、書き込みされた電荷分だけ電位は変動する)。このため、書き込み領域のゲート電極 8 a とフローティングゲート 12 a との間の電界が最大となり、書き込み領域のみ電荷注入が行われるようにできるとともに、FN 電流により大量に書き

込みが行われるようにできる。

【0092】このように、上記構成とすることにより、大量に書き込みが行われるようにすることができると共に、第 3 実施形態と同様に、MOS 動作領域以外の領域で書き込みを行えるため、書き込み時にフローティングゲート 12 a の上のシリコン酸化膜 7 b がダメージを受けたとしても、MOS 動作に影響を与えることはない。また、FN 電流を用いているため、書き込み領域や各領域とのコンタクトとしての書き込み端子を簡略化することができ、装置の小型化を図ることができる。

【0093】なお、本実施形態における MOSFET の製造は、第 1 実施形態における図 6 (a) の工程のフォトリソグラフィ工程のマスクとして、2nd-polysilicon のエッチング時にゲート電極 8 とゲート電極 8 a が分割されるマスクを用い、その他については第 3 実施形態と同様にすればよいだけであるため、説明を省略する。

【0094】また、本実施形態では、書き込み領域におけるフローティングゲート 12 の下部をソース領域 4 c、つまり n^+ 型層で構成しているが、表面チャネル層 5 を延設する等によって n -型層で構成してもよく、ベース領域 3 b を延設する等により p 型層で構成したりしてもよい。

【0095】(第 5 実施形態) 図 13 に、本実施形態における MOSFET の断面構成を示す。本実施形態は、第 1 実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0096】図 13 に示すように、本実施形態の MOSFET は、ゲート電極 8 及びフローティングゲート 12 を表面チャネル層 5 から離れた領域まで延設し、この延設された部分に電荷注入が行われるように、この領域におけるフローティングゲート 12 の下部にシリコン酸化膜 7 a より薄いトンネル膜 16 を設けた構成としている。

【0097】このように、書き込み窓としてシリコン酸化膜 7 a を部分的に薄膜化したトンネル膜 16 を設けることにより、このトンネル膜 16 から電荷が注入され易くすることができ、電荷が注入される領域を規定することができる。また、このように書き込みを行う場所を規定することにより、書き込み量の制御が容易となり、また大きな書き込み量を得ることができる。また、このような構成においては、別途書き込み端子を設ける必要がないため、装置を簡略化でき、小型化を図ることができる。

【0098】なお、本実施形態における MOSFET は、第 1 実施形態における図 6 (a) においてシリコン酸化膜 7 a を形成したのち、シリコン酸化膜 7 a のうちのトンネル膜形成領域を一旦エッチング除去し、再度熱酸化することでトンネル膜 16 を形成すれば、その後は

第1実施形態と同様の工程を施すことにより製造される。

【0099】また、本実施形態では、シリコン酸化膜7aを薄膜化した、電荷の注入方法によってはシリコン酸化膜7bを薄膜化してもよい。

【0100】(第6実施形態)図14に、本実施形態におけるMOSFETの断面構成を示す。本実施形態は、第1実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0101】図14に示すように、本実施形態のMOSFETは、MOS作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS作動領域とは他断面に設けられており、例えば、複数のMOSFETを敷き詰めてMOS作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

【0102】書き込み領域は、フローティングゲート12a及びゲート電極(コントロールゲート)8aの2層構造で構成されており、ベース領域3a、3bと共に形成したp-型層3c及びこのp-型層3cの表層部に形成された書き込み用のドレインとしてのp+型層17の上部に2層構造が形成された構成となっている。なお、p+型層17にはドレイン電極18が接続されている。

【0103】また、MOS作動領域と書き込み領域におけるフローティングゲート12、12aがつながった構成となっており、MOS作動領域と書き込み領域におけるゲート電極8、8aはつながった構成となっている(図中の点線部参照)。

【0104】このような構成においては、ゲート電極8とソース電極10及びドレイン電極11をアース状態にするとともに、ドレイン電極18に負の電位を印加する。

【0105】これにより、p+型層17側からフローティングゲート12aに電荷を注入することができる。このように、本実施形態の構成によっても第4実施形態と同様の効果を得ることができる。

【0106】本実施形態におけるMOSFETは、p-型層3cをベース領域3a、3bを形成する際に同時に形成し、本図では示していないがベース領域3a、3bをソース電極10とコンタクトを取るためにベース領域3a、3bの表層部に形成するp+型のコンタクト層を形成する際にp+型層17を同時に形成すれば、第1実施形態に対して製造工程の増加なく製造される。なお、書き込み領域における2層ゲート構造は、第4実施形態と同様に、図6(a)に示す工程のフォトリソグラフィ工程におけるマスクを変更すれば、MOS動作領域と同時に形成される(第7実施形態)図15に本実施形態におけるMOSFETの断面構成を示す。本実施形態は、ラテラル型のMOSTランジスタに本発明の一実施形態

を適用したものである。

【0107】図15に示すように、n-型の半導体基板51の表層部にp-型層53が形成されており、このp-型層53の表層部にn+型のソース領域54a、ドレイン領域54bが離間して形成され、さらにソース領域54aとドレイン領域54bとの間をつなぐように表面チャネル層55が形成されている。

【0108】そして、表面チャネル層55の上部に第1の絶縁膜としてのシリコン酸化膜57aを介してフローティングゲート60が形成され、さらにフローティングゲート60の上に第2の絶縁膜としてのシリコン酸化膜57bを介してゲート電極58が形成されている。

【0109】そして、ゲート電極58及びフローティングゲート60を含む基板表面全面に層間絶縁膜59が形成されており、層間絶縁膜59に形成された各コンタクトホールを通じて、ソース領域54a、ドレイン領域54b、ゲート電極58、及びp-型層53が各電極に接続されている。

【0110】このように構成されたMOSTランジスタにおいても、第1実施形態と同様の方法によってフローティングゲート60に電荷を注入することで、フローティングゲート12を介して表面チャネル層5の表面の電界を変化させるようにし、オン抵抗の低減を図ることができ、電流能力を向上できると共に高速動作を可能にすることができる。

【0111】(他の実施形態)上記実施形態では、表面チャネル層5が従来よりも高濃度となるようにした場合について説明したが、従来よりも厚い層で形成される場合についても、MOSFETは上記実施形態と同様の動作を行い、同様にオン抵抗の低減を図ることができる。

【0112】また、第7実施形態では、ラテラル型のMOSTランジスタにおいて、第1実施形態と同様の構造を採用した例を示したが第2～第6実施形態と同様の構成を採用することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態における縦型パワーMOSFETの断面図である。

【図2】フローティングゲート12に電荷を注入する前後におけるゲート電位とフローティングゲート電位との関係を示す図である。

【図3】ゲート電位及びフローティングゲート電位とドレイン電流の関係を示した図である。

【図4】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

【図6】図5に続く縦型パワーMOSFETの製造工程を示す図である。

【図7】第1実施形態におけるMOSFETの電荷注入方法を示した図である。

【図8】本発明の第2実施形態におけるMOSFETの断面図である。

【図9】本発明の第3実施形態におけるMOSFETの断面図である。

【図10】第3実施形態におけるMOSFETの電荷注入方法を示した図である。

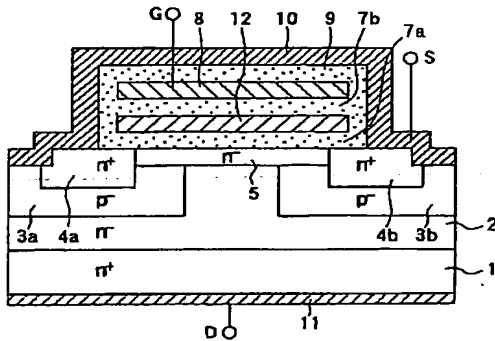
【図11】本発明の第4実施形態におけるMOSFETの断面図である。

【図12】第4実施形態におけるMOSFETの電荷注入方法を示した図である。

【図13】本発明の第5実施形態におけるMOSFETの断面図である。

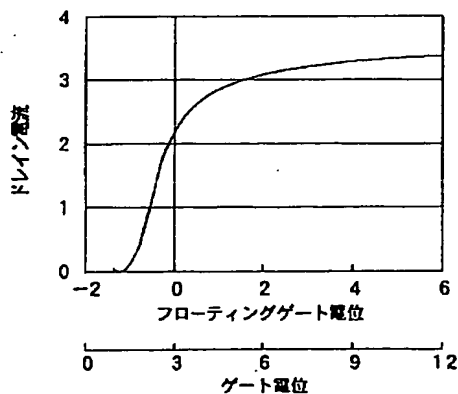
【図14】本発明の第6実施形態におけるMOSFET

【図1】



- 1: 半導体基板
- 2: ドリフト領域
- 3: ベース領域
- 4: ソース領域
- 5: 表面チャネル層
- 7: 絶縁膜
- 8: ゲート電極
- 10: ソース電極
- 11: ドレイン電極
- 12: フローティングゲート

【図3】



の断面図である。

【図15】本発明の第7実施形態におけるMOSFETの断面図である。

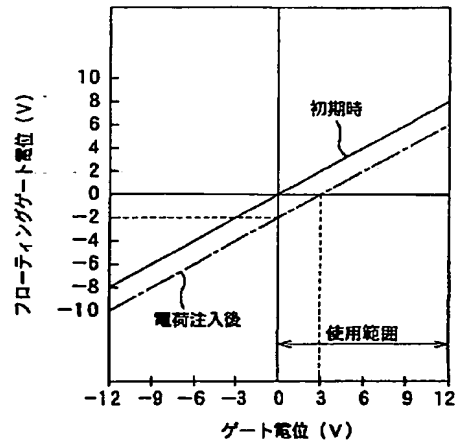
【図16】従来におけるMOSFETの断面図である。

【図17】表面チャネル層5を有するMOSFETのゲート電位とドレイン電流との関係を示した図である。

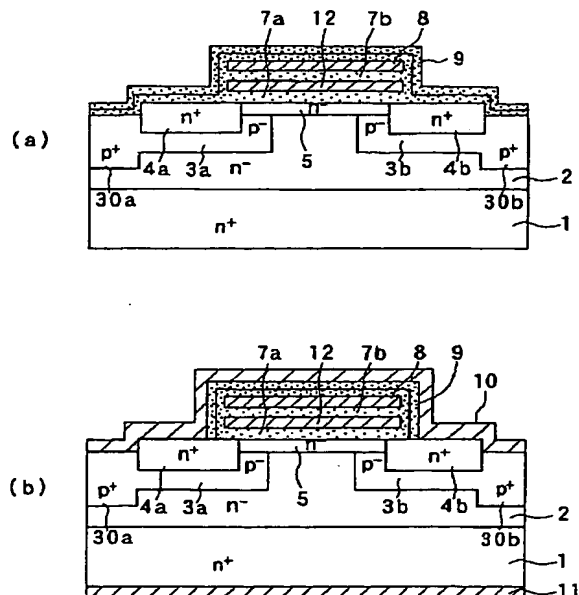
【符号の説明】

- 1...n⁺ 型基板、2...n⁻ 型エピタキシャル層、3a、3b...p⁻ 型ベース領域、4a、4b...n⁺ 型ソース領域、5...表面チャネル層 (n⁻ 型SiC層)、7...ゲート絶縁膜、8...ゲート電極、9...絶縁膜、10...ソース電極、11...ドレイン電極層、12...フローティングゲート。

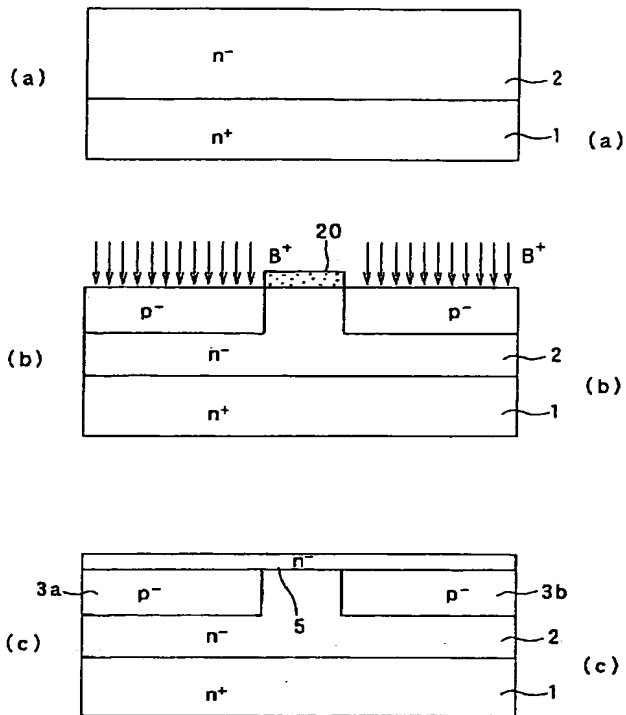
【図2】



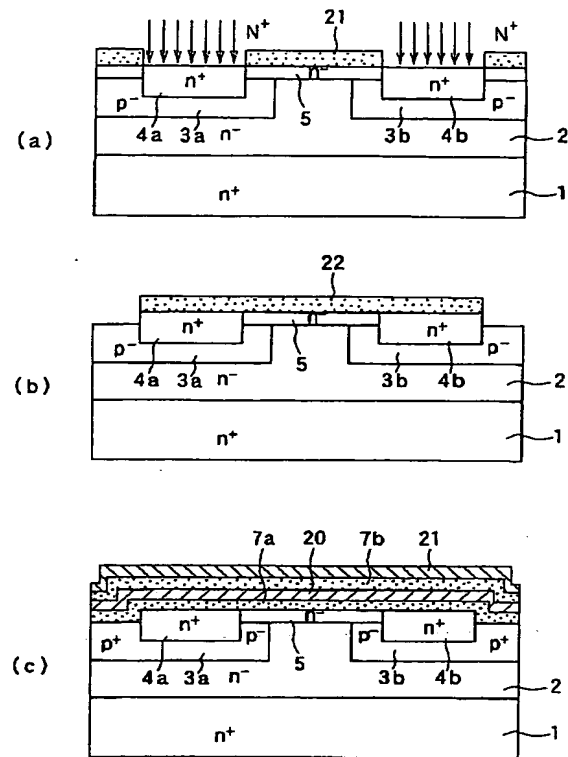
【図6】



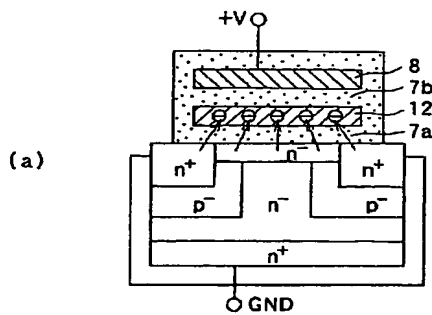
【図 4】



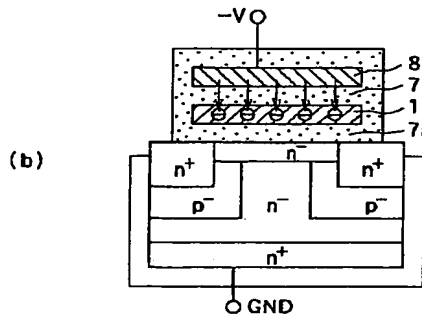
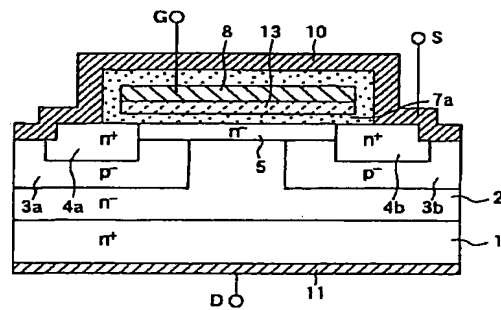
【図 5】



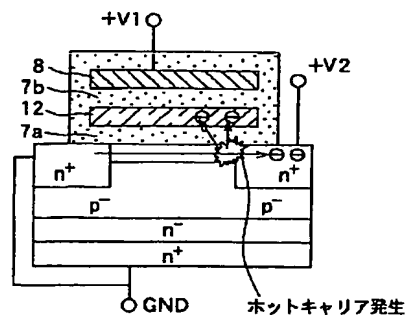
【図 7】



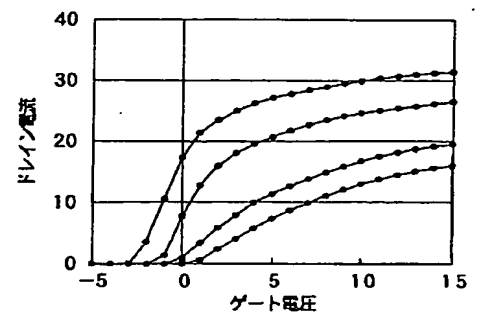
【図 8】



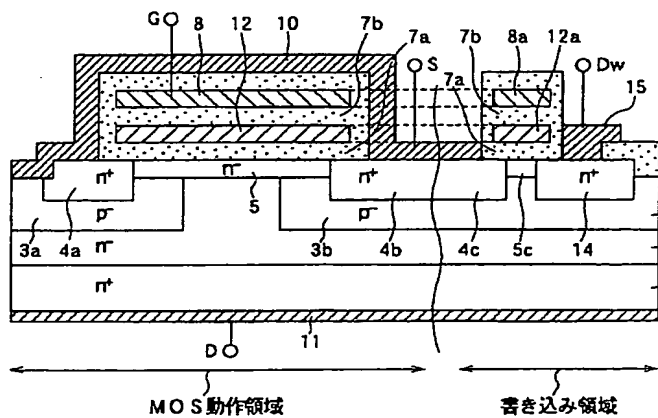
【図 10】



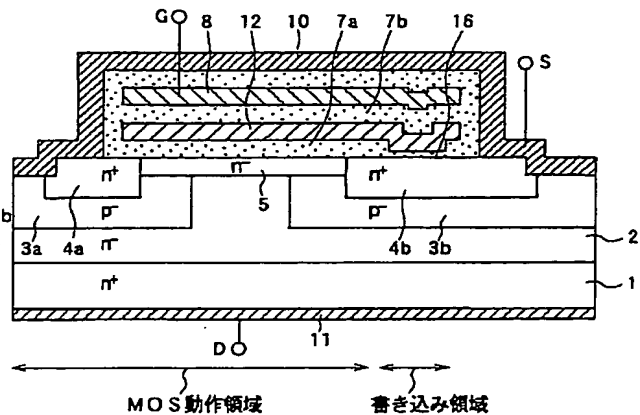
【図 17】



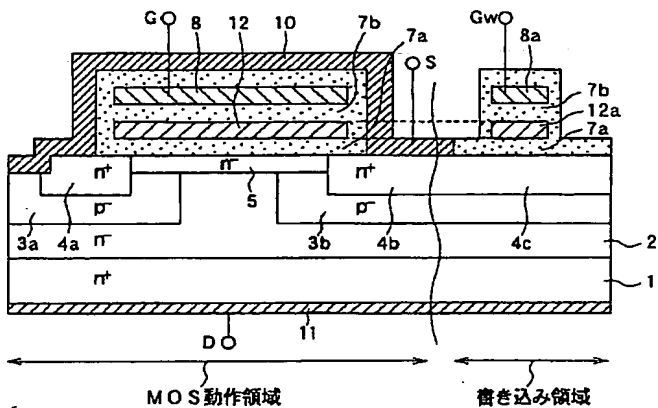
【図9】



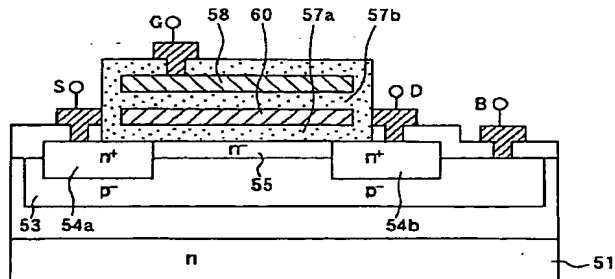
【図13】



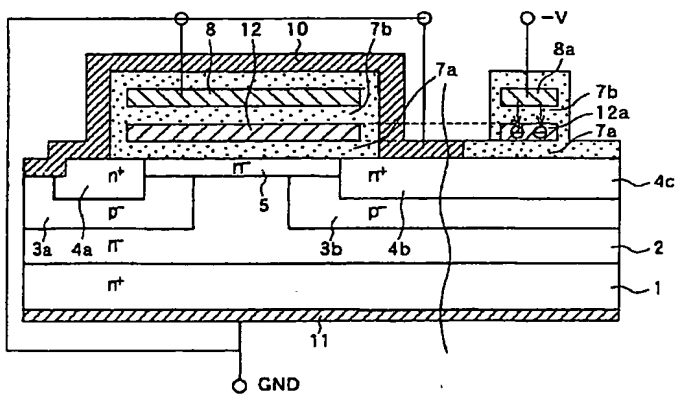
【図11】



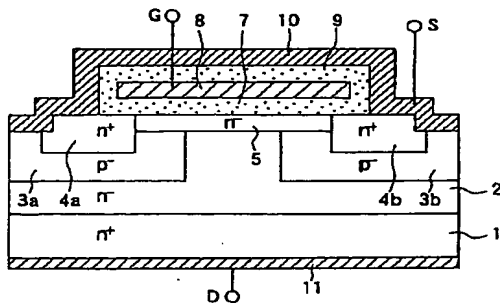
【図15】



【図12】



【図16】



This diagram illustrates a cross-section of a semiconductor device, divided into two functional areas: a MOS operation region (MOS動作領域) on the left and a charge storage region (書き込み領域) on the right. The device is built on a substrate (1) with a p-type layer (n⁺). A gate oxide layer (10) covers the top, with a gate electrode (8) and a gate insulating layer (12). A source/drain region (18) is formed in the substrate, with a p⁺ region (17) and a p⁻ region (16). A channel region (5) is formed in the substrate, with n⁺ regions (3a, 3b, 3c) and p⁻ regions (4a, 4b). A drain region (11) is formed in the substrate, with a p⁺ region (17) and a p⁻ region (16). A gate electrode (8) is formed on the top, with a gate insulating layer (12) and a gate oxide layer (10). A source/drain region (18) is formed in the substrate, with a p⁺ region (17) and a p⁻ region (16). A channel region (5) is formed in the substrate, with n⁺ regions (3a, 3b, 3c) and p⁻ regions (4a, 4b). A drain region (11) is formed in the substrate, with a p⁺ region (17) and a p⁻ region (16).

(72)発明者 片岡 光浩
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 ラジェシュ クマール
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

Fターム(参考) 5F001 AA01 AB02 AB08 AD13 AD15
AD22 AD24 AF10
5F101 BA01 BB02 BB05 BD03 BD05
BD14 BD16 BF10